



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

171 030097

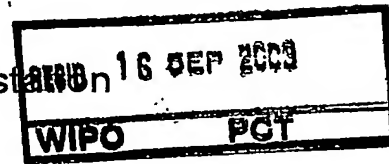
NL030866

PT / 1303 / 03188

Bescheinigung

Certificate

Attestation



Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03100146.4

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



Anmeldung Nr:
Application no.: 03100146.4
Demande no:

Anmeldetag:
Date of filing: 24.01.03
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Koninklijke Philips Electronics N.V.
Groenewoudseweg 1
5621 BA Eindhoven
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se referer à la description.)

Ferroelectrische inrichting en werkwijze ter vervaardiging van een dergelijke
inrichting

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H01L29/00

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT SE SI SK TR LI

Ferroelectrische inrichting en werkwijze ter vervaardiging van een dergelijke inrichting

De uitvinding heeft betrekking op een ferroelectrische inrichting met een lichaam dat een substraat bevat en omvattende een ferroelectrische laag die aan een van het substraat afgewende zijde voorzien is van een aansluitgeleider, die een zuurstof vrij ferroelectrisch materiaal bevat en met behulp waarvan een geheugenelement gevormd is. Een
5 dergelijke inrichting vormt een niet vluchtig geheugen en is als zodanig een aantrekkelijk alternatief voor een niet vluchtig halfgeleidergeheugen element, mede omdat het een zeer groot aantal malen uitgelezen kan worden. Een belangrijk voordeel van het feit dat de diëlectrische laag een zuurstof vrij ferroelectrisch materiaal bevat is dat hierdoor geen reactie met het aangrenzende halfgeleidermateriaal mogelijk is waarbij een elektrisch isolerend
10 oxide gevormd wordt dat de elektrische eigenschappen van de inrichting nadelig zou kunnen beïnvloeden. De uitvinding heeft tevens betrekking op een werkwijze ter vervaardiging van een dergelijke inrichting.

15 Een inrichting van een in de aanhef genoemde soort is bekend uit het Amerikaanse octrooischrift US 5.373.176 dat op 13 december 1994 gepubliceerd is. Daarin is een MFS (= Metal Ferroelectric Semiconductor) structuur beschreven die een ferroelectrische laag bevat die op een CdTe halfgeleidersubstraat is aangebracht en waarop zich een poort elektrode bevindt en waarmee een geheugenelement gevormd is dat een deel van het
20 substraat omvat en twee in het substraat aanwezige gedoteerde gebieden. De ferroelectrische laag bevat een zuurstof vrij ferroelectrisch materiaal in de vorm van een chalcogenide dat ZnCdTe omvat. Het voordeel van een dergelijke inrichting is dat dankzij een epitaxiale aangroei van de ferroelectrische laag op het substraat een kwalitatief hoogwaardig interface mogelijk is tussen het (CdTe) substraat en de (ZnCdTe) ferroelectrische laag hetgeen gewenst
25 is voor een goede werking van de inrichting.

Onder chalcogenide wordt in deze aanvraag begrepen een materiaal dat een verbinding omvat tussen tenminste een element, bij voorkeur een metaal, en tenminste een van de elementen S, Se en Te. Uiteraard zijn daar in het bijzonder ook mengkristallen begrepen met bijvoorbeeld de samenstelling $A_{1-x}A_{2-2x}B$ waarbij A1 bij voorbeeld een of meer

van de elementen Zn, Cd, Hg, Al, Ga, In of Tl omvat, A2 een of meer van de elementen Si, Ge, Sn en Pb omvat en B een of meer van de elementen S, Se, Te omvat en waarbij de waarde van x ligt tussen 0 en 1.

Een bezwaar van de bekende inrichting is dat deze vereist dat de

- 5 ferroelectrische laag rechtstreeks op het halfgeleidersubstraat gegroeid moet worden, hetgeen met name lastig is indien dit substraat Si bevat.

Het doel van de onderhavige uitvinding is dan ook om een inrichting te

- 10 verschaffen die ook op andere substraten zoals een silicium substraat kan worden gevormd. De vervaardiging van de inrichting dient tevens eenvoudig te zijn.

- Daartoe heeft volgens de uitvinding een inrichting van de in de aanhef genoemde soort het kenmerk dat zich tussen het substraat en de ferroelectrische laag een geleidende laag bevindt die een verdere aansluitgeleider van de ferroelectrische laag vormt en
- 15 het geheugenelement gevormd is doordat de ferroelectrische laag een Schottky overgang vormt met tenminste een van de aansluitgeleiders. De uitvinding berust allereerst op het inzicht dat epitaxiale aangroei niet noodzakelijk is voor het verkrijgen van een geheugen effect in een ferroelectrisch materiaal. Ook indien het materiaal polykristallijn is kan dit indien de kristallen van de polykristallijn laag althans overwegend geordend zijn. De
- 20 betreffende materialen vertonen dit gedrag waarbij een oriëntatie van de kristallen in de snelst groeiende richting het vaakst voorkomt. Bij de hier beschouwde materialen komt deze richting in het algemeen overeen met een richting die dan ongeveer loodrecht staat op de dikterichting van een aangegroeide laag. Hierdoor mag zich ook een niet monokristallijne laag, zoals in het algemeen een geleidende of een isolerende laag is, tussen een
- 25 monokristallijn substraat en de ferroelectrische laag bevinden. Zelfs is het zo dat het substraat niet monokristallijn hoeft te zijn. Verder berust de uitvinding op het inzicht dat bij de keuze van een geleidende laag als tussenlaag en indien deze als verdere aansluitgeleider fungeert toch een geheugenelement met behulp van de ferroelectrische laag gevormd is, mits tenminste een van de overgangen van de ferroelectrische laag met de aansluitgeleider en de
- 30 verdere aansluitgeleider als een Schottky overgang is uitgevoerd. Hierdoor hoeft de ferroelectrische laag niet op het halfgeleidersubstraat aangebracht te worden hetgeen mede mogelijk maakt een inrichting met de gewenste eigenschappen met een silicium substraat te vormen. Ladingsdragers kunnen door bij de Schottky overgang behorende Schottky barrière tunnels en de geleidbaarheid van het element kan beïnvloed worden door de polarisatie te

veranderen waardoor het depletie gebied van grootte verandert. Het geheugenelement kan zeer vele malen geschakeld worden tussen twee toestanden.

Een additioneel voordeel van een inrichting volgens de uitvinding is dat de vervaardiging ervan bijzonder compatible is met de voor de vervaardiging van inrichtingen van silicium gebruikelijke werkwijze. Deze werkwijze eindigt bij voorkeur met een zogenaamde temperstap in een waterstof bevattende atmosfeer. Dankzij het feit dat de gekozen materialen, bijvoorbeeld chalcogenide materialen die zoals gedefinieerd geen zuurstof bevatten, is een dergelijke proces stap toegestaan. Waterstof zou indien de ferroelectrische laag zuurstof zou bevatten gemakkelijk de stoichiometrie van de ferroelectrische laag beïnvloeden en daarmee de eigenschappen van die laag. Dank zij het feit dat de diëlectrische laag een zuurstof vrij ferroelectrisch materiaal bevat is geen reactie mogelijk tussen het ferroelectrisch materiaal en een van de aangrenzende metaallagen waarbij een elektrisch isolerend oxide gevormd wordt dat de elektrische eigenschappen van de inrichting nadelig zou kunnen beïnvloeden. Tot slot is een belangrijk voordeel dat de genoemde ferroelectrische materialen in het algemeen bij een relatief lag temperatuur vervaardigd kunnen worden. Ook dit vergemakkelijkt integratie binnen de silicium technologie.

In een voorkeursuitvoering van een inrichting volgens de uitvinding omvat het lichaam dan ook een halfgeleiderlichaam en omvat het substraat een - bij voorkeur monokristallijn - halfgeleidersubstraat. Een op zich zelf gebruikelijk substraat zoals een monokristallijn silicium substraat met een (100) oriëntatie is bijzonder geschikt.

In een bijzonder gunstige variant bevat een inrichting volgens de uitvinding tevens een veldeffect transistor met een source gebied, een drain gebied en een poortelektrode en bevindt zich de verdere aansluitgeleider op het source of drain gebied van de veldeffect transistor en fungeert tevens als aansluitgeleider van het source of drain gebied. Een dergelijke transistor is uitstekend geschikt om als selectiemiddel te fungeren indien de halfgeleiderinrichting een groot aantal geheugenelementen bevat, hetgeen in de praktijk vaak gewenst is. Bovendien is een dergelijke transistor zeer goed vervaardigbaar in met name de op silicium als halfgeleidersubstraat gebaseerde technologie. Dankzij het feit dat de verdere aansluitgeleider tevens als (een van de) aansluitgeleiders van de transistor fungeert is de vervaardiging relatief eenvoudig. Bovendien kan de inrichting volgens de uitvinding indien het source gebied of het drain gebied en het geheugenelement zich in projectie gezien boven elkaar bevinden bijzonder compact zijn. Dit is een belangrijk verder voordeel. Zo kan het geheugenelement ook opgenomen zijn in een zogenaamde contact metaal plug die in veel

(C)MOS (= Complementary Metal Oxide Semiconductor) processen gebruikelijk is. Deze zijn relatief dik en bevatten veelal een metaal als wolfram.

In een gunstige variant is de Schottky overgang gevormd tussen de verdere aansluitgeleider en de ferroelectrische laag en vormt deze een ohms contact met het source of drain gebied van de veldeffect transistor terwijl de aansluitgeleider een ohms contact met de ferroelectrische laag vormt. Hierdoor kan als aansluitgeleider aluminium gebruikt worden, hetgeen een niet ongebruikelijke aansluitgeleider vormt in de silicium technologie. Doordat deze zich aan de buitenkant van de inrichting bevindt en dus in een laat stadium van de vervaardiging wordt aangebracht ondervindt deze aansluitgeleider geen last van de relatief hoge temperaturen die in het begin van de vervaardiging vaak vereist zijn. Platina dat geschikt is om een Schottky overgang te vormen met de ferroelectrische laag, is anderzijds ook geschikt om een ohms contact te vormen met een n^+ gedoteerde source of drain gebied van silicium.

Geschikte materialen voor het materiaal van de aansluitgeleider die een Schottky overgang vormt met de ferroelectrische laag zijn Pt of Au. Als materiaal van de aansluitgeleider die een ohms contact met de ferroelectrische laag vormt zijn Ag of Al bijzonder geschikt.

Gunstige resultaten zijn verkregen met een ferroelectrische laag die als zuurstof vrij ferroelectrisch materiaal een chalcogenide bevat zoals $Zn_xCd_{1-x}S$ en bij voorkeur $Zn_xCd_{1-x}S$ met een Zn gehalte x tussen 0.3 en 0.5. Ook zijn zeer bruikbare resultaten verkregen met als zuurstof vrij ferroelectrisch materiaal Cu_2S . Een belangrijk additioneel voordeel van een dergelijk materiaal is dat het geen giftige bestanddelen bevat. Hierdoor vormt de inrichting in zo'n geval geen of althans nagenoeg geen belasting voor het milieu indien ze – bijvoorbeeld als afval – daarin terecht komt. Ook is hierdoor met name de fabrieksomgeving waarin een inrichting volgens de uitvinding vervaardigd wordt veiliger. Uitgangsstoffen als Cd worden in toenemende mate uit een dergelijke omgeving verbannen. Voor de aansluitgeleiders kan met voordeel in het geval van Cu_2S gebruik gemaakt worden van Cu en W. Ook dit zijn materialen die in toenemende mate toegelaten zijn en gebruikt worden in de (silicium) halfgeleidertechnologie.

De doteringsconcentratie van het zuurstof vrij ferroelectrisch materiaal is bij voorkeur zo hoog gekozen dat een ohms contact tussen de aansluitgeleider of de verdere aansluitgeleider en de ferroelectrische laag gevormd is en dat tijdens bedrijf het elektrisch veld in de ferroelectrische laag in de geleidende toestand voldoende hoog is om het geheuelement uit te schakelen.

Bij voorkeur bevat de inrichting volgens de uitvinding een matrix van $N \times M$ geheugenelementen omvat waarbij N en M natuurlijke getallen zijn en elk geheugenelement aan beide zijden verbonden is met een elektrische aansluiting. Aldus kan een geheugen gevormd zijn met een grote geheugencapaciteit. Hierbij is bij voorkeur elk geheugenelement gekoppeld aan een daarbij horende veldeffect transistor met een source gebied, een drain gebied en een poortelektrode, en is de inrichting voorzien van N eerste geleidersporen en M tweede geleidersporen en van een aardaansluiting en is elk geheugenelement via de aansluitgeleider met een van de N eerste geleidersporen verbonden en via de verdere aansluitgeleider met het source of drain gebied van de veldeffect transistor waarvan het drain of source gebied verbonden is met de aardaansluiting en is de poortelektrode van de veldeffect transistor verbonden met een van de M tweede geleidersporen. Door deze constructie is het uitlezen van de geheugenelementen mogelijk terwijl het aantal benodigde geleidersporen beperkt is.

Een werkwijze ter vervaardiging van een halfgeleiderinrichting volgens de uitvinding, waarbij een lichaam gevormd wordt met een substraat en de inrichting voorzien wordt van een ferroelectrische laag die voorzien wordt van een aansluitgeleider, waarvoor als materiaal zuurstof vrij ferroelectrisch materiaal gekozen wordt en met behulp waarvan een geheugenelement gevormd wordt, heeft het kenmerk, dat tussen het substraat en de ferroelectrische laag een geleidende laag wordt aangebracht waarmee een verdere aansluitgeleider van de ferroelectrische laag gevormd wordt en het geheugenelement gevormd wordt doordat tussen de ferroelectrische laag en tenminste een van de aansluitgeleiders een Schottky overgang gevormd wordt. Aldus wordt op eenvoudige wijze een ferroelectrische inrichting verkregen met de hierboven besproken voordelen. In een voorkeursuitvoering wordt het lichaam als een halfgeleiderlichaam gevormd en wordt voor het substraat een - bij voorkeur monokristallijn - halfgeleidersubstraat gekozen. Bij voorkeur wordt in het halfgeleiderlichaam een veldeffect transistor met een source gebied, een drain gebied en een poortelektrode gevormd en wordt de verdere aansluitgeleider op het source of drain gebied van de veldeffect transistor aangebracht en tot aansluitgeleider van het source of drain gebied gevormd.

In een geschikte modificatie wordt de ferroelectrische laag gevormd door een deel van een geleidende laag om te zetten in het ferroelectrische materiaal, waarbij een van de aansluitgeleiders gevormd worden door het resterende deel van de geleidende laag. De werkwijze is hierdoor vereenvoudigd en er ontstaat een goed contact tussen het metaal en het

zuurstof vrije ferroelectrische materiaal. Zo kan een Cu laag gedeeltelijk omgezet worden in Cu_2S .

In een gunstige variant wordt de Schottky overgang gevormd tussen de verdere aansluitgeleider en de ferroelectrische laag waarbij de verdere aansluitgeleider tevens als aansluitgeleider van het source of drain gebied fungeert, terwijl tussen de aansluitgeleider en de ferroelectrische een ohms contact gevormd wordt. Bij voorkeur wordt een matrix van $N \times M$ geheugenelementen gevormd waarbij N en M uit de natuurlijke getallen gekozen worden en wordt elk geheugenelement aan beide zijden van een elektrische aansluiting voorzien. Bij voorkeur wordt elk geheugenelement gekoppeld aan een in de inrichting gevormde en bij het geheugenelement horende veldeffect transistor met een source gebied, een drain gebied en een poortelektrode en wordt de inrichting voorzien van N eerste geleidersporen en M tweede geleidersporen en van een aardaansluiting en wordt elk geheugen element via de aansluitgeleider met een van de N eerste aansluitsporen verbonden en via de verdere aansluitgeleider met het source of drain gebied van de bijbehorende veldeffect transistor verbonden waarvan andere van het drain of source gebied gekoppeld wordt aan de aardaansluiting en wordt de poortelektrode van de veldeffect transistor gekoppeld aan een van de M tweede geleidersporen.

De uitvinding zal thans nader worden toegelicht aan de van een uitvoeringsvoorbeeld en de tekening, waarin

Fig. 1 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een ferroelectrische inrichting volgens de uitvinding toont,

Fig. 2 de stroom-spanningskarakteristiek vertoont van het geheugenelement van de inrichting van Fig. 1,

Fig. 3 schematisch de schakeling toont van de inrichting van Fig. 1, en

Fig. 4 de stroom-spanningskarakteristiek vertoont van een variant van het geheugenelement van de inrichting van Fig. 1,

De figuren zijn niet op schaal getekend en sommige afmetingen, zoals afmetingen in de dikterichting zijn ter wille van de duidelijkheid overdreven weergegeven. Overeenkomstige gebieden of onderdelen zijn in de verschillende figuren zoveel mogelijk van hetzelfde verwijzingscijfer voorzien.

Fig. 1 toont schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een ferroelectrische inrichting 10 volgens de uitvinding. De inrichting 10 heeft een halfgeleiderlichaam 11 dat een halfgeleidersubstraat 1. Verder bevat deze een ferroelectrische laag 2 die aan een van het substraat 1 afgewende zijde voorzien is van een aansluitgeleider 3. Met behulp daarvan is een geheugenelement 4 gevormd en het ferroelectricum 2 omvat een zuurstof vrij ferroelectrisch materiaal, hier een chalcogenide.

Volgens de uitvinding bevindt zich tussen het halfgeleidersubstraat 1 en de ferroelectrische laag 2 een geleidende laag 5, bij voorkeur een metaallaag 5, die een verdere aansluitgeleider 5 van de ferroelectrische laag 2 vormt en is het geheugenelement 4 gevormd doordat de ferroelectrische laag 2 een Schottky overgang vormt met tenminste een van de aansluitgeleiders 3,5. Een dergelijke inrichting 10 kan bijzonder gemakkelijk op een halfgeleidersubstraat 1 van silicium gevormd worden en bezit toch een geheugenelement 4 met uitstekende eigenschappen zoals verderop duidelijk zal worden. Een belangrijk additioneel voordeel van een inrichting 10 volgens de uitvinding is dat de vervaardiging ervan bijzonder compatible is met de voor de vervaardiging van silicium inrichtingen gebruikelijke werkwijze. Deze werkwijze eindigt met voordeel met een temperstap in een waterstof bevattende atmosfeer. Dankzij het feit dat het gebruikte ferroelectrische materiaal geen zuurstof bevat is een dergelijke temperstap toegestaan. Waterstof zou indien de ferroelectrische laag 2 zuurstof zou bevatten gemakkelijk de stoechiometrie van de ferroelectrische laag beïnvloeden en daarmee de eigenschappen van die laag 2.

In dit voorbeeld bevat de inrichting 10 tevens een veldeffect transistor 6 met een source gebied 7, een drain gebied 8 en een poortelektrode 9 en bevindt zich de verdere aansluitgeleider 5 op het source of drain gebied, hier het source gebied 7 van de transistor 6 en fungeert tevens als aansluitgeleider 5 van het source of drain gebied 7. Hier ligt - in projectie gezien - het geheugenelement 4 binnen het source of drain gebied, hier het drain gebied 7. De inrichting 10 is daardoor compact en relatief gemakkelijk te vervaardigen. De aanwezigheid van een veldeffect transistor 6 is van groot voordeel indien de inrichting 10 - zoals in dit voorbeeld - een groot aantal geheugenelementen 4 bevat en elk geheugenelement 4 gekoppeld is aan een veldeffect transistor zoals in figuur 1 is weergegeven. De inrichting 10 van dit voorbeeld vormt dus een halfgeleidergeheugen met een groot aantal geheugenelementen 4 waarvan er in figuur 1 slechts een is weergegeven.

In de inrichting 10 van dit voorbeeld is de Schottky overgang gevormd tussen de verdere aansluitgeleider 5, hier een platina laag 5, en de ferroelectrische laag 2, hier een $\text{Zn}_x\text{Cd}_{1-x}\text{S}$ laag 2 met een Zn gehalte x van ongeveer 40 at. %. Het platina 5 vormt via een

dunne hier 10 nm, als barrière fungerende, Ti laag 15 met het source gebied 7 van transistor 6 een ohms contact. De aansluitgeleider 3 vormt met de ferroelectrische laag 2 een ohms contact en bevat hier Ag. De diktes van de lagen zijn 100 nm voor de $Zn_xCd_{1-x}S$ laag 2, 50 nm voor de Pt laag 5 en 50 nm voor de Ag laag 3. De laterale afmetingen van het geheugenelement 4 zijn in dit voorbeeld $1\ \mu m \times 1\ \mu m$. Een geschikte dikte voor de $Zn_xCd_{1-x}S$ ligt tussen 25 nm en 500 nm. De doteringsconcentratie van de $Zn_xCd_{1-x}S$ laag 2 is zodanig gekozen dat deze enerzijds voldoende hoog is om een ohms contact tussen de verdere aansluitgeleider 5 en de ferroelectrische laag 2 mogelijk te maken. Anderzijds moet de doteringsconcentratie niet zo hoog gekozen zijn dat tijdens bedrijf het elektrisch veld in de ferroelectrische laag 2 in de geleidende toestand onvoldoende hoog is om het geheugenelement 4 uit te schakelen. Het bedrijf van de inrichting 10 en in het bijzonder het geheugenelement 4 zal hierna geïllustreerd worden aan de hand van Fig. 2.

Fig. 2 toont de stroom-spanningskarakteristiek van het geheugenelement 4 van de inrichting 10 van dit voorbeeld. Beginnend bij de oorsprong in een toestand van lage impedantie van het element 4 stijgt de stroom I wanneer de spanning V toeneemt volgens curve 21. Bij punt A wanneer de spanning ongeveer +0,3 Volt bedraagt verandert de $Zn_xCd_{1-x}S$ laag 2 van polarisatie en schakelt het element 4 naar de toestand van een hoge impedantie. Een verdere toename van de spanning V heeft geen verdere invloed. Wanneer de spanning V verlaagd wordt blijft het element 4 in de hoge impedantie toestand van curve 22 totdat de sper schakel spanning is bereikt bij ongeveer - 0,1 Volt, in de figuur aangeduid met punt B. Vanaf dat moment is het element (weer) in de lage impedantie toestand van curve 21. Een verdere afname van de spanning V tot - 0,4 Volt heeft geen verdere invloed. Het bedrijf van de inrichting 10 zal dan normaliter als volgt zijn: zet het element 4 met een korte spanningspuls van + 0,4 Volt in de hoge impedantie toestand ("0") en met een korte spanningspuls van -0,4 Volt in de lage impedantie toestand ("1"). Lees de impedantie van het element 4 bij een lage spanning V zoals een spanning V waarvan de absolute waarde kleiner is dan ongeveer 0.1 Volt. Zoals reeds opgemerkt bevat de inrichting 10 een groot aantal geheugenelementen 4 waarvan er een viertal zijn weergegeven in Fig. 3.

Fig. 3 toont schematisch de schakeling toont van de inrichting 10 van dit voorbeeld. De inrichting 10 omvat een aantal, bijvoorbeeld 100, eerste geleidersporen 20 waarvan er in figuur 3 twee zijn weergegeven en een aantal, hier eveneens 100, tweede geleidersporen 30 waarvan er hier eveneens twee zijn weergegeven. Elk element 4 is via aansluitgeleider 3 verbonden met een van de eerste aansluitsporen 20 en via de verdere aansluitgeleider 5 met het source gebied 7 van de transistor 6. Het drain gebied 8 van de

transistor 6 is met een aardaansluiting 40 verbonden terwijl de poortelektrode 9 van de transistor 6 verbonden is met een van de tweede geleidersporen 30. Aldus kan via de transistor 6 door een spanning op de poortelektrode 9 te zetten het bijbehorende element 4 geselecteerd worden om de impedantie toestand in te stellen en/of uit te lezen.

5 De inrichting 10 van dit voorbeeld wordt als volgt vervaardigd met behulp van een werkwijze volgens de uitvinding. Uitgegaan wordt (zie figuur 1) van een (100) silicium substraat 1 met een p-type dotering een lage doteringsconcentratie. Daarin wordt met op zich zelf bekende en gebruikelijke processen een N-MOS transistor 6 gevormd met n-type source en drain gebieden 7,8 die omgeven zijn door LOCOS (= LOCal Oxidation of Silicon) gebieden 12. Daaronder is hier, aan de zijde van het drain gebied 8, een deel van een n-type gebied 13 te zien, waarin een - niet in de tekening weergegeven - complementaire P-MOS transistor gevormd is. De poortelektrode 9 is van n-type polykristallijn silicium en omgeven door siliciumdioxide en/of siliciumnitride bevattende isolerende lagen 14. Op het source en drain gebied 7,8 wordt met behulp van bijvoorbeeld sputteren een titaan laag 15 en een platina laag 5 aangebracht die een ohms contact vormen met deze gebieden. Plaatselijk, hier ter plaatse van het source gebied 7, wordt daarop een $Zn_xCd_{1-x}S$ laag aangebracht met behulp van sputteren. Deze techniek is bijzonder geschikt om $Zn_xCd_{1-x}S$ met een stoichiometrische samenstelling, hier met 40 at.% Cd, aan te brengen. Ter plaatse van het source gebied 7 wordt op de - in patroon gebrachte, $Zn_xCd_{1-x}S$ laag 2 een zilver laag 3 aangebracht die een ohms contact vormt met de $Zn_xCd_{1-x}S$ laag 2. De geleidende lagen 3,5 worden van de eerste en tweede geleidersporen 20,30 gescheiden met behulp van een - niet in de tekening weergegeven - siliciumdioxide laag die bijvoorbeeld door middel van CVD (= Chemical Vapour Deposition) wordt aangebracht. Hetzelfde geldt voor de onderlinge isolatie van de eerste en tweede geleidersporen 20,30 die zoals in figuur 3 weergegeven met elke transistor 6 en elk geheugenelement 4 verbonden worden. De vervaardiging wordt voltooid met het aanbrengen van een - eveneens niet in de tekening weergegeven - siliciumnitride bescherm laag waarna de inrichting 10 getemperd wordt met behulp van een temper stap in een waterstof bevattende atmosfeer.

Fig. 4 toont de stroom-spanningskarakteristiek van een ander variant van het geheugenelement 4 van de inrichting 10 van het hierboven beschreven voorbeeld. Het geheugen element 4 bevat hier een ferroelectrische laag 2 die Cu_2S bevat als zuurstof vrij ferroelectrisch materiaal. De aansluitgeleider 3 en de verdere aansluitgeleider 5 bevatten hier respectievelijk Cu en W. Een bijzonder belangrijk voordeel van de inrichting van deze variant is dat deze geen of althans geen noemenswaardig giftige elementen bevat. Hierdoor zijn

zowel de milieubelasting indien de inrichting het afval stadium bereikt als de toelaatbaarheid in een fabrieksomgeving sterk verbeterd. Figuur 4 laat een sterk met figuur 2 overeenkomend beeld zien. Voor de bespreking van de werking van de inrichting 10 volgens de uitvinding van deze variant, wordt hier volstaan met een verwijzing naar de bespreking van figuur 2.

5 In de inrichting van figuur 4 wordt het Cu_2S bij voorkeur, zoals in deze variant, gevormd door een Cu laag gedeeltelijk om te zetten in Cu_2S . Een dergelijke omzetting is hier gerealiseerd door een Cu laag te behandelen met een waterige oplossing van K_2S_x , waarbij geldt $x > 1$. Dit heeft het voordeel dat tegelijk met de zuurstof vrije ferroelectrische laag, een van de twee aansluitgeleiders gevormd wordt, hier door de
10 resterende Cu laag.

Andere varianten van inrichtingen volgens de uitvinding kunnen eenvoudig gevormd worden door keuze van andere zuurstof vrije ferroelectrische materialen voor de ferroelectrische laag 2. Daarbij dient in het bijzonder gedacht te worden aan ferroelectrische materialen binnen de groepen verbindingen die picniden, chalcogeniden en halogeniden
15 genoemd worden, d.w.z. verbindingen van een of meer elementen met een of meer elementen uit respectievelijk hoofdgroep V, VI (met uitzondering van zuurstof) en VII van het periodiek systeem der elementen en mengkristallen daarvan. In beginsel geschikte zuurstofvrije ferroelectrische materialen zijn bijvoorbeeld $\text{Al}_5\text{C}_3\text{N}$, $\text{Al}_7\text{C}_3\text{N}_3$, Sb_2S_3 , Bi_2S_3 , Bi_2S , $\text{Bi}_{0,5}\text{Sb}_{1,5}\text{S}_2$, TaInS_2 , TaNbSe_2 , TiSbSe_2 , $\text{Bi}_{0,5}\text{Sb}_{1,5}\text{S}_2$, $\text{Ga}_x\text{Ge}_{1-x}\text{Te}$ waarbij $0 < x < 1$, SbSI ,
20 Cs_3BiCl_6 , AMX_3 waarbij $A = \text{Cs}$ of Rb en $M = \text{Ca}$, Cr , Ti , V of Cu en $X = \text{F}$, Cl , Br of I , BaMF_4 waarbij $M = \text{Mg}$, Mn , Fe , Co , Ni , Cu of Zn , SrAlF_5 , K_2MF_6 waarbij $M = \text{Mn}$, Cr , Ti of Pd , $\text{A}_3\text{M}_3\text{F}_{19}$ waarbij $A = \text{Sr}$, Ba of Pb en $M = \text{Al}$, Ti , V , Cr , Fe of Ga . Hiervan beschikken Bi_2S_3 en SbSI over een relatief lage Curie temperatuur die de praktische bruikbaarheid beperkt. Hetzelfde geldt voor de verbindingen van Thallium vanwege de giftigheid van deze
25 verbindingen. De praktische bruikbaarheid van de hierboven genoemde verbindingen vanaf Cs_3BiCl_6 is mogelijk beperkt door een te grote ionengeleiding waardoor de opgeslagen data verloren kunnen gaan.

De uitvinding is niet beperkt tot het beschreven uitvoeringsvoorbeeld daar voor de vakman binnen het kader van de uitvinding vele variaties en modificaties mogelijk
30 zijn. Zo kunnen inrichtingen vervaardigd worden met een andere geometrie en/of andere afmetingen. Ook kunnen met name voor de aansluitgeleiders andere materialen gekozen zijn zoals hafniumcarbide of andere binaire materialen.

Wat hierboven is opgemerkt met betrekking tot de inrichting geldt evenzeer voor de vervaardiging daarvan. Behalve de genoemde technieken voor het aanbrengen van de

ferroelectrische laag komen ook MBE (= Molecular Beam Epitaxy), (MO)VPE (= (Metal Organic) Vapour Phase Epitaxy of CVD (= Chemical Vapour Deposition) of PLD (= Pulsed Laser Deposition) in aanmerking.

Verder wordt opgemerkt dat de inrichting verdere actieve en passieve
5 halfgeleiderelementen zoals dioden en/of transistoren en weerstanden en/of capaciteiten kan bevatten. Daarmee kunnen met voordeel additionele schakelingen gevormd zijn die additionele functies kunnen vervullen.

Tot slot wordt nogmaals opgemerkt dat een inrichting volgens de uitvinding
ook met groot voordeel een ander substraat dan een (monokristallijn) silicium substraat kan
10 omvatten. Ook een substraat van een geleider zoals een metaal of van een isolator zoals glas, keramiek of kunststof kan met voordeel toegepast worden.

CONCLUSIES:

1. Ferroelectrische inrichting (10) met een lichaam (11) dat een substraat (1) bevat en omvattende een ferroelectrische laag (2) die aan een van het substraat (1) afgewende zijde voorzien is van een aansluitgeleider (3), die een zuurstof vrij ferroelectrisch materiaal bevat en met behulp waarvan een geheugenelement (4) gevormd is, met het kenmerk, dat
5 zich tussen het substraat (1) en de ferroelectrische laag (2) een geleidende laag (5) bevindt die een verdere aansluitgeleider (5) van de ferroelectrische laag (2) vormt en het geheugenelement (4) gevormd is doordat de ferroelectrische laag (2) een Schottky overgang vormt met tenminste een van de aansluitgeleiders (3,5).
- 10 2. Ferroelectrische inrichting (10) volgens conclusie 1, met het kenmerk, dat het lichaam (11) een halfgeleiderlichaam (11) omvat en het substraat (1) een, bij voorkeur monokristallijn, halfgeleidersubstraat (1) omvat.
- 3 Ferroelectrische inrichting (10) volgens conclusie 2, met het kenmerk, het
15 halfgeleiderlichaam (11) een veldeffect transistor (6) met een source gebied (7), een drain gebied (8) en een poortelektrode (9) bevat en de verdere aansluitgeleider (5) zich bevindt op het source of drain gebied (7) van de veldeffect transistor en tevens fungeert als aansluitgeleider (5) van het source of drain gebied (8).
- 20 4. Ferroelectrische inrichting (10) volgens conclusie 3, met het kenmerk, dat het geheugenelement (4) en het source of drain gebied (7) elkaar in projectie gezien overlappen.
5. Ferroelectrische inrichting (10) volgens conclusie 3 of 4, met het kenmerk, dat de Schottky overgang gevormd is tussen de verdere aansluitgeleider (5) en de ferroelectrische
25 laag (2) en vormt de verdere aansluitgeleider (5) een ohms contact met het source of drain gebied (7) van de veldeffect transistor (6) terwijl de aansluitgeleider (3) een ohms contact vormt met de ferroelectrische laag (2).

6. Ferroelectrische inrichting (10) volgens een der voorafgaande conclusies, met het kenmerk, dat voor het ferroelectrische materiaal een chalcogenide gekozen is.

5 7. Ferroelectrische inrichting (10) volgens conclusie 6, met het kenmerk, dat als chalcogenide $Zn_xCd_{1-x}S$ gekozen is en bij voorkeur $Zn_xCd_{1-x}S$ met een Zn gehalte x tussen 0.3 en 0.5 gekozen is.

10 8. Ferroelectrische inrichting (10) volgens conclusie 7, met het kenmerk, dat voor het materiaal van de ene aansluitgeleider (3) Pt of Au gekozen is en voor het materiaal van de andere aansluitgeleider (5) Ag of Al gekozen is.

9. Ferroelectrische inrichting (10) volgens conclusie 6, met het kenmerk, dat als chalcogenide Cu_2S gekozen is.

15 10. Ferroelectrische inrichting (10) volgens conclusie 9, met het kenmerk, dat voor het materiaal van de ene aansluitgeleider (3) Cu gekozen is en voor het materiaal van de andere aansluitgeleider (5) W gekozen is.

20 11.. Ferroelectrische inrichting (10) volgens een der voorafgaande conclusies, met het kenmerk, dat de doteringsconcentratie van het zuurstof vrij ferroelectrisch materiaal zo hoog is dat een ohms contact tussen de aansluitgeleider (3) of de verdere aansluitgeleider (5) en de ferroelectrische laag (2) gevormd is en dat tijdens bedrijf het elektrisch veld in de ferroelectrische laag (2) in de geleidende toestand voldoende hoog is om het geheugenelement (4) uit te schakelen.

25 12. Ferroelectrische inrichting (10) volgens een der voorafgaande conclusies, met het kenmerk, dat deze een matrix omvat van $N \times M$ geheugenelementen (4) omvat waarbij N en M natuurlijke getallen zijn en elk geheugenelement (4) aan beide zijden verbonden is met een elektrische aansluiting (20,30).

30

13. Ferroelectrische inrichting (10) volgens conclusie 12, met het kenmerk, dat elk geheugenelement (4) gekoppeld is aan een daarbij horende veldeffect transistor (6) met een source gebied (7), een drain gebied (8) en een poortelektrode (9) en de inrichting voorzien is van N eerste geleidersporen (20) en M tweede geleidersporen (30) en van een aardaansluiting

(40) en elk geheugenelement (4) via de aansluitgeleider (3) met een van de N eerste geleidersporen en via de verdere aansluitgeleider (5) met het source of drain gebied (7) van de veldeffect transistor (6) waarvan het andere van het drain of source gebied (8) verbonden is met de aardaansluiting (40) terwijl de poortelektrode (9) van de veldeffect transistor (6) 5 verbonden is met een van de M tweede geleidersporen (30).

14. Werkwijze ter vervaardiging van een ferroelectrische inrichting (10) volgens een der voorafgaande conclusies, waarbij een lichaam (11) gevormd wordt met een substraat (1) en de inrichting (10) voorzien wordt van een ferroelectrische laag (2) die aan een van het 10 substraat (1) afgewende zijde voorzien wordt van een aansluitgeleider (3), waarvoor als materiaal een zuurstof vrij ferroelectrisch materiaal gekozen wordt en met behulp waarvan een geheugenelement (4) gevormd wordt, met het kenmerk, dat tussen het substraat (1) en de ferroelectrische laag (2) een geleidende laag wordt aangebracht waarmee een verdere aansluitgeleider van de ferroelectrische laag (2) aangebracht wordt en het geheugenelement 15 (4) gevormd wordt doordat tussen de ferroelectrische laag (2) en tenminste een van de aansluitgeleiders (3,5) een Schottky overgang gevormd wordt.

15. Werkwijze volgens conclusie 14, met het kenmerk, dat het lichaam (11) als halfgeleiderlichaam (11) gevormd wordt en voor het substraat (1) een halfgeleidersubstraat 20 (1) gekozen wordt.

16. Werkwijze volgens conclusie 15, met het kenmerk, dat in het halfgeleiderlichaam (11) een veldeffect transistor (6) met een source gebied (7), een drain gebied (8) en een poortelektrode (9) gevormd wordt en de verdere aansluitgeleider (5) op het 25 source of drain gebied (7) van de veldeffect transistor wordt (6) aangebracht en als aansluitgeleider (5) van het source of drain gebied (7) gevormd wordt.

17. Werkwijze volgens conclusie 15 of 16, met het kenmerk, dat de Schottky overgang gevormd wordt tussen de verdere aansluitgeleider (5) en de ferroelectrische laag (2) 30 en tussen de aansluitgeleider (3) en de ferroelectrische laag (2) een ohms contact gevormd wordt evenals tussen de verdere aansluitgeleider (5) en het source of drain gebied (7) van de veldeffect transistor (6).

18. Werkwijze volgens conclusie 14, 15, 16 of 17, met het kenmerk, dat de ferroelectrische laag (2) gevormd wordt door een deel van een geleidende laag om te zetten in het ferroelectrische materiaal, waarbij een van de aansluitgeleiders (3,5) gevormd worden door het resterende deel van de geleidende laag.

5

19. Werkwijze volgens een der conclusies 14 t/m 18, met het kenmerk, dat een matrix van $N \times M$ geheugenelementen (4) gevormd wordt waarbij N en M uit de natuurlijke getallen gekozen worden en elk geheugenelement (4) aan beide zijden van een elektrische aansluiting voorzien wordt.

10

20. Werkwijze volgens conclusie 19, met het kenmerk, dat elk geheugenelement (4) gekoppeld wordt aan een in de inrichting (10) gevormde bij het geheugenelement (4) horende veldeffect transistor (6) met een source gebied (7), een drain gebied (8) en een poortelektrode (9) en de inrichting (10) voorzien wordt van N eerste geleidersporen (20) en 15 M tweede geleidersporen (30) en van een aardaansluiting (40) en elk geheugen element (4) via de aansluitgeleider (3) met een van de N eerste geleidersporen (20) en via de verdere aansluitgeleider (5) met het source of drain gebied (7) van de bijbehorende veldeffect transistor (6) verbonden wordt waarvan het andere van het drain of source gebied (8) verbonden wordt met de aardaansluiting (40), terwijl de poortelektrode (9) verbonden wordt 20 met een van de M tweede geleidersporen (30).

ABSTRACT:

The invention relates to a ferroelectric device (10) with a body (11) comprising a substrate (1) and with a ferroelectric layer (2) which at a side opposite to the substrate (1) is provided with a connection conductor, which comprises a oxygen-free ferroelectric material (2) and with which a memory element (4) is formed. (3). Such a device
5 forms an attractive non-volatile memory device.

According to the invention a conducting layer (5) is positioned between the substrate (1) and the ferroelectric layer (2) which forms a further connection conductor (5) of the ferroelectric layer (2) and is the memory element (4) formed in that the ferroelectric layer (2) forms a Schottky transition with a least one of the connection conductors (3,5). Such a
10 device (10) has proven to contain a memory element (4) which is well suitable in practice and it may readily be formed on a - preferably monocrystalline - silicon substrate (1). Preferably, the device (10) further comprises a fieleffect transistor (6) and the element (4) is preferably positioned above the source or drain region (7) of the transistor (6)

15 Fig. 1

1/3

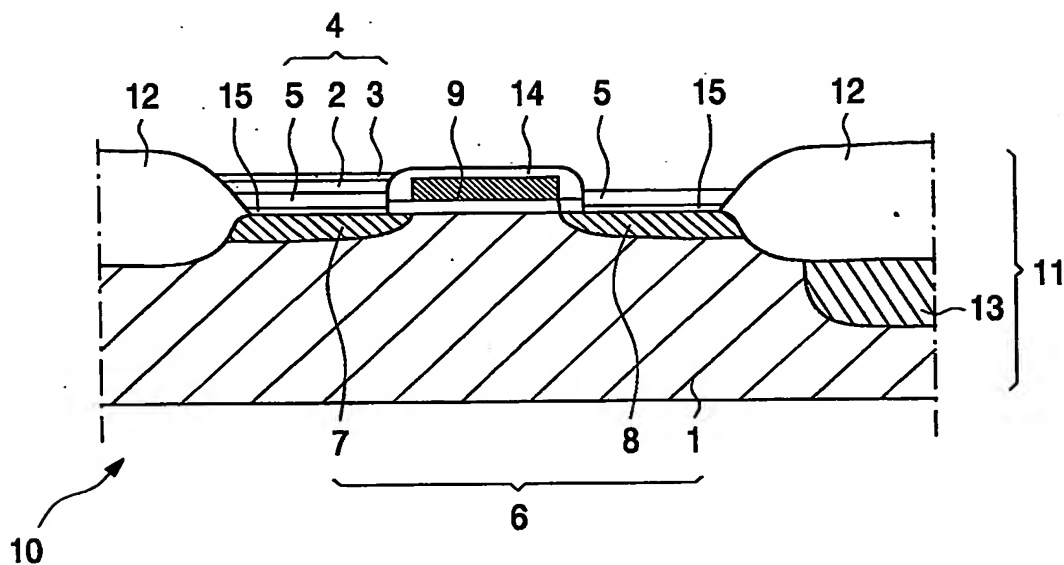


Fig.1

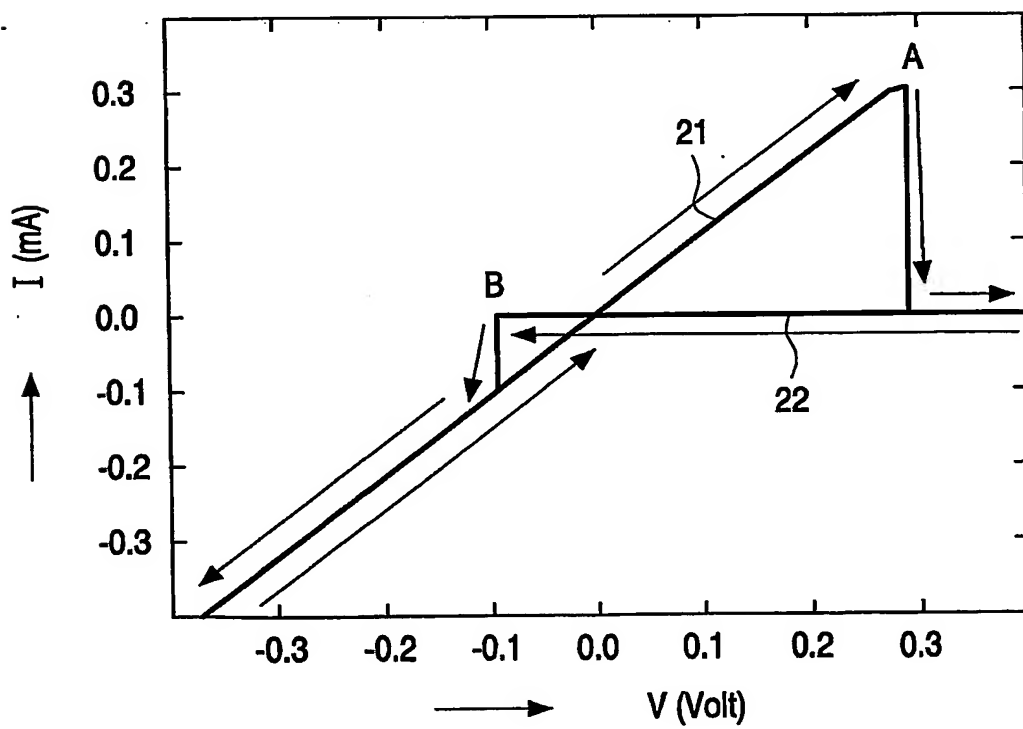


Fig.2

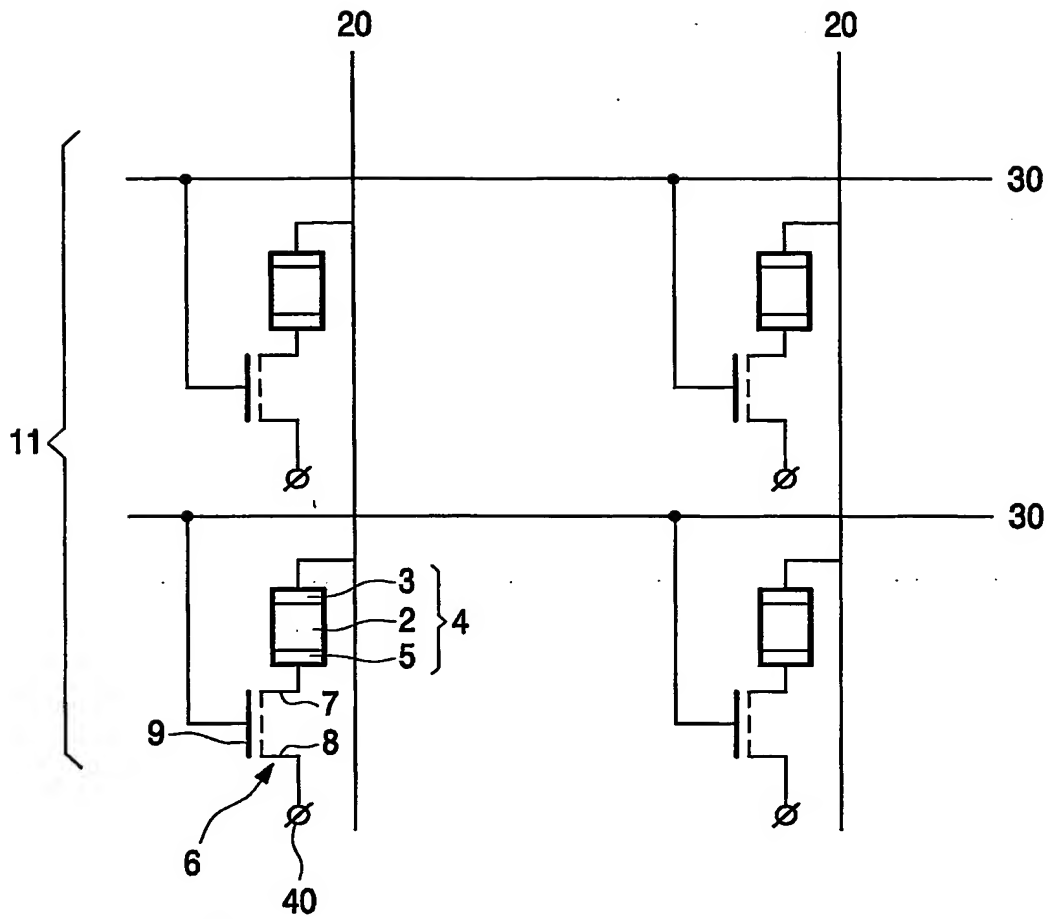


Fig.3

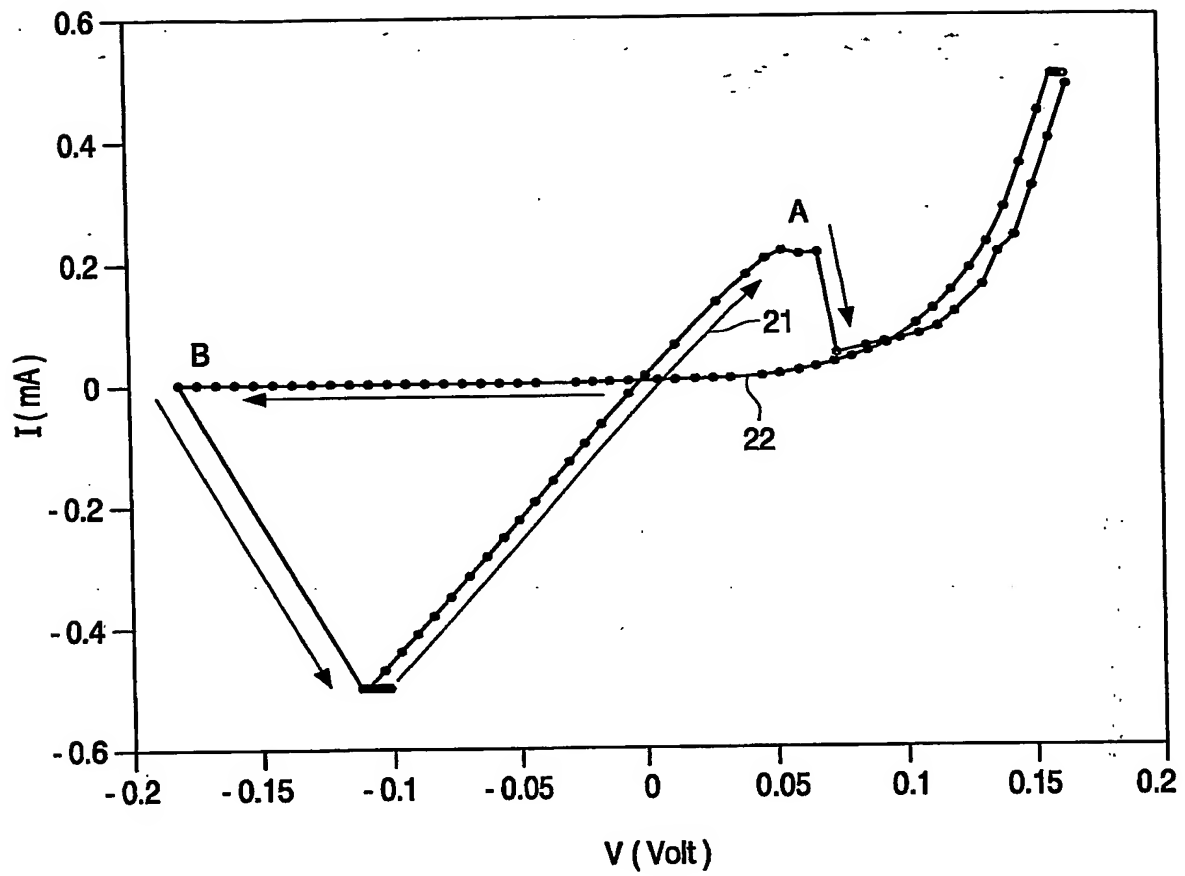


FIG. 4